



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0074649
Application Number

출원 년 월 일 : 2002년 11월 28일
Date of Application NOV 28, 2002

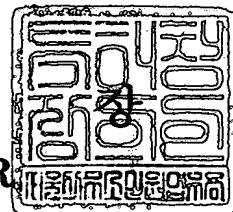
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.28
【국제특허분류】	H01L
【발명의 명칭】	주파수 구분 전압 제어 발진기를 사용하는 위상 제어 루프 회로
【발명의 영문명칭】	Phase Locked Loop having Voltage Controlled Oscillator dividing frequency
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	우성훈
【성명의 영문표기】	WOO, Sung Hun
【주민등록번호】	720106-1080110
【우편번호】	361-280
【주소】	충청북도 청주시 흥덕구 사창동 로얄아파트 가동 501호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

【수수료】

【기본출원료】 17 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 330,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에 따른 위상 제어 루프 회로는, 외부로부터 입력된 클럭 신호와 내부 클럭 신호의 주파수를 주기적으로 비교하여 두 신호의 위상차에 따른 출력신호를 출력하는 위상 검출수단과, 위상 검출 수단의 출력신호에 따라 일정 전압을 출력하는 루프 필터와, 일정 전압에 비례하는 주파수를 갖는 내부 클럭 신호를 출력하는 전압 제어 발진 수단을 포함하는데, 전압 제어 발진 수단은, 커패시턴스 값을 조절할 수 있는 캡슐을 포함하여 상기 내부 클럭 신호의 주파수를 설정할 수 있기 때문에, 위상 제어 루프 회로의 내부에 사용하는 제어 신호를 이용하여 자동적으로 주파수를 선보정할 수 있고, 전압 제어 발진기를 내장할 경우, 위상 제어 루프 회로 전체 회로를 단일 칩으로 구성할 수 있으며, 자동적으로 주파수를 선보정할 수 있기 때문에 전체 위상 제어 루프 회로의 구현을 단순화시키고 정확한 보정을 할 수 있다.

【대표도】

도 2

【명세서】

【발명의 명칭】

주파수 구분 전압 제어 발진기를 사용하는 위상 제어 루프 회로{Phase Locked Loop having Voltage Controlled Oscillator dividing frequency}

【도면의 간단한 설명】

도 1은 일반적인 펄스 스왈로 방식을 사용하는 위상 제어 루프 회로를 나타낸 블록도.

도 2는 본 발명에 따른 펄스 스왈로 방식을 사용하는 위상 제어 루프 회로를 나타낸 블록도.

도 3은 도 2에 도시된 위상 제어 루프 회로에서 RF2 전압제어발진기의 주파수 범위와 영역 분할의 일례를 보인 그래프.

도 4는 도 2에 도시된 위상 제어 루프에서 주파수 구분 전압 제어 발진기를 나타낸 회로도.

도 5는 도 4에 도시된 전압 제어 발진기에서 커패시터 캡슐의 상세 회로도.

도 6은 도 4에 도시된 전압 제어 발진기의 튜닝 특성을 나타낸 그래프.

도 7은 도 4에 도시된 전압 제어 발진기의 출력 파형을 나타낸 그래프.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 위상 제어 루프 회로(phase locked loop; 이하 PLL이라 한다)에 관한 것으로, 보다 상세하게는 주파수 범위를 구분하는 전압 제어 발진기(voltage controlled oscillator; 이하 VCO라 한다)를 사용하여 모든 주파수 대역에서 전압 제어 발진기의 출력 주파수 값을 나눌 수 있는 PLL에 관한 것이다.
- <9> 도 1은 일반적인 펄스 스왈로 방식을 사용하는 PLL를 나타낸 블록도이다.
- <10> PLL은, 외부 클럭 신호 ECLK의 기준 주파수 f_r 와 비교 클럭 신호 PCLK의 비교 주파수 f_p 를 비교하는 위상 비교기(1)와, 저대역 여파기(2)와, 저대역 여파기(2)의 직류 신호에 따라 비례하는 주파수의 신호를 발생하는 전압제어발진기(3)와, 전압제어발진기(3)의 출력 클럭신호 ICLK의 주파수를 $1/M$ 및 $1/(M+1)$ 의 분주비로 분주하는 듀얼 모듈러스 프리스케일러(4)와, 프리스케일러(4)의 분주된 클럭신호를 $1/N$ 분주비로 분주하는 프로그램 카운터(5)와, 프리스케일러(4)의 분주된 클럭신호를 $1/A$ 분주비로 분주하는 스왈로 카운터(6)와, 스왈로 카운터(6)의 출력과 프로그램 카운터(5)의 출력을 이용하여 프리스케일러(4)를 제어하는 모드 제어신호 MC를 출력하는 제어부(7)를 포함한다.
- <11> 전압제어발진기(3)의 출력 클럭 신호 ICLK의 출력 주파수 f_{vco} 은 $1/M$ 및 $1/(M+1)$ 분주비를 갖는 듀얼 모듈러스 프리스케일러(4)에 의해 분주되고, 프로그램 카운터(5) 및 스왈로 카운터(6)에 입력된다.

<12> 스왈로 카운터(6)는 프리스케일러(4)의 분주비 제어용으로 사용되며, 스왈로 카운터(6)가 동작 중에는 프리스케일러(4)의 분주비는 $1/(M+1)$ 로 세트된다.

<13> 스왈로 카운터(6)가 A 개의 펄스를 카운터하면 프리스케일러(4)의 분주비는 $1/M$ 으로 세트된다. 즉, A/N 의 시간은 $1/[(M+1) \times]$ 의 분주비로, $(N-A)/N$ 의 시간은 $1/M \times$ 의 분주비로 된다.

<14> 이때, 비교 클럭 신호 PCLK의 비교 주파수 f_p 는 [수학식 1]에 의해 정의된다.

<15> [수학식 1]

$$\begin{aligned} f_p &= \frac{fvco}{\left\{ \left((M+1) \times N \right) \times \frac{A}{N} \right\} + \left\{ (M \times N) \times \frac{(N-A)}{N} \right\}} \\ &= \frac{fvco}{\{ ((M+1) \times A) + ((N-A) \times M) \}} \end{aligned}$$

<17> 따라서, 출력 클럭 신호 ICLK의 출력 주파수 $fvco$ 는 [수학식 2]에 의해 정의된다.
여기서, $f_p = f_r$ 이다.

<18> [수학식 2]

$$\begin{aligned} fvco &= f_p \{ ((M+1) \times A) + ((N-A) \times M) \} \\ &= f_p (A + M \times N) \\ &= f_r (A + M \times N) \end{aligned}$$

<20> [수학식 2]에서 N은 M과 계수 관계이지만, A와는 계수 관계를 갖고 있지 않기 때문에 A 값을 변화시키면 출력 클럭 신호 ICLK의 출력 주파수 $fvco$ 만 변한다. 이와 같이 프

리스케일러(4)를 사용하고, 채널 세퍼레이션을 기준 주파수 f_r 로 할 수 있다. 특히 높은 주파수의 주파수 신시사이저에서는 프리스케일러(4)의 분주비를 크게 설정하기 때문에 펄스 스왈로 방식이 사용된다.

<21> 일반적으로 펄스 스왈로 방식의 출력 주파수 f_{vco} 는 [수학식 3]에 따라 설정 값이 정의된다.

<22> [수학식 3]

<23>

$$f_{vco} = \{(M \times N) + A\} \times \frac{f_{osc}}{R}$$

<24> 여기서, M은 프리스케일러(4)의 분주비이고, N은 프로그램 카운터(5)의 설정 값이고, A는 스왈로 카운터(6)의 설정값으로 $A < N$ 의 관계를 갖는다. 또한, f_{osc} 는 기준 발진 주파수를 나타내고, R은 기준 카운터(reference counter)의 설정 값을 나타낸다.

<25> 이와 같이 종래 기술에 따른 펄스 스왈로 방식의 PLL을 구성하는 VCO는 비선형적인 특성을 갖기 때문에, 넓은 대역에서 여러 주파수 대역을 사용할 수 없기 때문에 온 칩 PLL에서 사용될 수 없는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<26> 이와 같은 문제점을 해결하기 위한 본 발명의 목적은, VCO를 여러 개 중첩하여, 그 여러 개의 VCO를 제어하기 위해 원하는 주파수에서 VCO를 선택하여 여러 주파수에서 선형적으로 동작할 수 있도록 함으로써, 온 칩 PLL에서 설계상의 특성을 충족시키는 것이다.

【발명의 구성 및 작용】

- <27> 상기 목적을 달성하기 위한 본 발명의 위상 제어 루프 회로는,
- <28> 외부로부터 입력된 클럭 신호와 내부 클럭 신호의 주파수를 주기적으로 비교하여
두 신호의 위상차에 따른 출력신호를 출력하는 위상 검출수단;
- <29> 상기 위상 검출 수단의 출력신호에 따라 일정 전압을 출력하는 루프 필터;
- <30> 상기 일정 전압에 비례하는 주파수를 갖는 상기 내부 클럭 신호를 출력하는 전압
제어 발진 수단을 포함하는 위상 제어 루프 회로에 있어서,
- <31> 상기 전압 제어 발진 수단은,
- <32> 커패시턴스 값을 조절할 수 있는 캡슐을 포함하여 상기 내부 클럭 신호의 주파수를
설정할 수 있는 것을 특징으로 한다.
- <33> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음
의 상세한 설명을 통해 보다 분명해 질 것이다.
- <34> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- <35> 도 2는 본 발명에 따른 스왈로 방식을 사용하는 PLL을 나타낸 블록도이다.
- <36> 펄스 스왈로 방식을 사용하는 PLL은, 외부 클럭 신호 ECLK의 기준 주파수 f_r 와 비
교 클럭 신호 PCLK의 비교 주파수 f_p 를 비교하는 위상 비교기(11)와, 저대역 여파기(12)
와, 저대역 여파기(12)의 직류 신호에 비례하는 주파수의 내부 클럭 신호 ICLK를 발생하
는 전압제어발진기(13)와, 내부 클럭 신호 ICLK를 $1/M$ 및 $1/(M+1)$ 분주비로 분주하는 듀
얼 모듈러스 프리스케일러(14)와, 프리스케일러(14)의 출력 클럭신호를 $1/N$ 분주비로 분
주하는 프로그램 카운터(15)와, 프리스케일러(14)의 출력 클럭신호를 $1/A$ 분주비로 분주

하는 스왈로 카운터(16)와, 스왈로 카운터(16)의 출력과 프로그램 카운터(15)의 출력을 이용하여 프리스케일러(14)를 제어하는 제어부(17)와, 전압 제어 발진기(13)를 제어하는 제어 비트 $CB<0:4>$ 를 발생하는 제어비트 발생부(18)를 포함한다.

- <37> 전압 제어 발진기(13)의 내부 클럭 신호 ICLK의 출력 주파수 f_{vco} 은 $1/M$ 및 $1/(M+1)$ 분주비를 갖는 듀얼 모듈러스 프리스케일러(14)에 의해 분주되어, 프로그램 카운터(15) 및 스왈로 카운터(16)에 입력된다.
- <38> 스왈로 카운터(16)는 프리스케일러(14)의 분주비 제어용으로 사용되며, 스왈로 카운터(16)가 동작 중에는 프리스케일러(14)의 분주비는 $1/(M+1)$ 로 세트된다.
- <39> 스왈로 카운터(16)가 A 개의 펄스를 카운터하면 프리스케일러(14)의 분주비는 $1/M$ 으로 세트된다.
- <40> 상기한 주파수 구분 전압제어발진기(13)를 사용할 때 카운터 설계 시 N 및 A 값을 그 제어 입력 값으로 사용한다. 즉, 제어 입력 값으로 N 및 A 값을 전압제어발진기 제어 비트 발생기(18)로 이용한다면 주파수 구분 전압 제어발진기(13)를 제어할 수 있다.
- <41> 전압제어발진기(13)가 일정한 주파수에서 동작하기 위해 스왈로 카운터(16), 프로그램 카운터(15)의 입력 값을 인가 받아 제어 값으로 이용한다.
- <42> 따라서, 주어진 가변 전압 영역 내에서 전체 주파수 범위를 모두 만족시키며, 실제의 발진주파수 크기 K_{vco} 의 값을 낮추는 방법을 고려해야 하는데, 발진주파수 구분법을 사용하여 고려한다.
- <43> 도 3은 도 2에 도시된 PLL에서 주파수 구분 RF2 전압제어발진기의 주파수 범위와 영역 분할의 일례를 보인 그래프이다.

- <44> 도 3에서 1150MHz부터 1230MHz까지의 GSM의 주파수 범위를 가변전압 범위가 1V라고 가정하면, 일반적인 전압제어발진기의 경우 발진주파수의 크기 K_{vco} 가 80MHz/V의 값을 갖는다.
- <45> 그러나, 주파수 범위를 10MHz로 고정하고, 외부의 보조회로를 이용하여 각 주파수 일부 범위를 선택한다면, 전체 주파수 범위를 만족시킬 수 있으며, 각 발진주파수의 크기 K_{vco} 값은 10MHz/V의 작은 값을 가질 수 있다.
- <46> 한편, 전압제어발진기(13) 자체가 좋은 특성을 나타내면서 넓은 주파수를 이용하기 위해서 주파수 구분 전압 제어 발진기를 사용하고, 그에 해당하는 주파수 영역근처에 접근할 때 해당 구간을 선택하는 방식을 사용한다.
- <47> 전압 제어발진기(13)의 전압 이득이 결정되면, 예를 들어, 10MHz/V로 결정되면, 전압 제어발진기(13)의 개수가 결정되고, 전압 제어발진기 비트 발생기의 출력 비트 CB가 결정된다.
- <48> 도 4는 도 2에 도시된 PLL에서 주파수 구분 전압 제어 발진기를 나타낸 회로도이다. 여기서는 래치형 차동 VCO 구조를 사용하는 경우를 예를 들어 설명한다.
- <49> 전압 제어 발진기(13)는, 정전류원(21), 게이트가 크로스 커플드된 피모스 트랜지스터 PM1, PM2, 출력단자 OUP, OUTN 사이에 연결된 커패시터 캡슐(22), 출력 단자 사이에 연결된 인덕터 L, 입력단자 V_c 와 출력단자 OUP, OUTN 사이에 각각 연결된 일방향 커패시터 OC1, OC2 및 게이트가 크로스 커플드된 엔모스 트랜지스터 NM1, NM2를 포함하여 구성된다. 여기서, 커패시터 캡슐(22)은 구간 선택을 위한 커패시터 어레이로 구성된다.

- <50> 도 5는 도 4에 도시된 전압 제어 발진기에서 커패시터 캡슐의 상세 회로도를 나타낸 도면이다.
- <51> 커패시터 캡슐(22)은 커패시터 C1 양단에 두개의 스위치 NM3, NM4 및 NM5, NM6가 쌍으로 병렬 연결되어 각각 연결되고, 각 출력단자 OUTP, OUTN에 병렬로 커패시터들 C2~C11이 병렬 연결되는데, 각 커패시터들 C2~C11과 각 출력단자 OUTP, OUTN는 스위치 NM7~NM16에 의해 선택적으로 연결된다.
- <52> 여기서는, 스위치 NM3~NM16는 엔모스 트랜지스터로 구성되는 경우를 예를 들어 설명하였지만, 시스템에 따라 다양한 스위치 소자가 변경되어 사용될 수 있다.
- <53> 또한, 각 스위치 NM3~NM16는 제어비트 발생부(18)에서 출력된 제어 비트 CB<0:4>에 의해 제어된다.
- <54> 따라서, 제어 비트 CB<0:4>에 의해 커패시터 캡슐(22)의 커패시턴스를 변경하여 발진 주파수를 변경할 수 있다.
- <55> 도 6은 도 4에 도시된 전압 제어 발진기의 튜닝 특성을 나타낸 그래프이다.
- <56> 도 6에 도시된 바와 같이, 각 그래프들은 튜닝 전압(tuning voltage)에 대해 발진 주파수가 선형적으로 감소하며 다음 단과 겹쳐지도록 설계한다.
- <57> 한편, 전압 제어 발진기가 적용되는 시스템에 따라 주파수 호핑(frequency hopping)이 발생하는데, 이를 위해 도 7에 도시된 바와 같이 병렬로 삽입된 커패시터 C1와 제어 비트 CB<0:1>에 의해 제어되는 직렬 연결된 스위치 NM3~NM6를 연결하여 주파수 호핑에 대한 커패시턴스를 보상하게 된다. 여기서, 삽입되는 각 커패시터 C1에 대해 RF1

캡슐과 다른 비를 갖게 되기 때문에 모의실험(simulation)을 통해 적절한 가중치(weighting)를 갖는 가중 회로(weighted circuit)가 추가되어야 한다.

<58> 도 7은 도 4에 도시된 전압 제어 발진기의 출력 파형을 타나낸 그래프이다.

<59> 도 7에 도시된 바와 같이, 또한, 각 제어 비트 $CB<0:4>$ 에 따라 다른 주파수를 나타내고 있으며, 출력 레벨은 주파수에 따라 그 피크 전압이 다르게 나타난다.

<60> 따라서, 위상 제어 루프 회로의 내부에 사용하는 제어 신호를 이용하여 자동적으로 주파수를 선보정할 수 있기 때문에 별도의 주파수 보정 신호가 필요하지 않게 된다.

<61> 또한, 현재 시판되고 있는 대부분의 PLL의 경우 외부에 전압제어발진기와 필터를 설치하는데, 이러한 외부 구성 요소들이 제품의 가격과 수율에 큰 영향을 미친다.

<62> 그러나, 본 발명의 PLL은 전압 제어 발진기를 내장할 경우, 위상 제어 루프 회로 전체 회로를 단일 칩으로 구성할 수 있는 장점이 있다.

<63> 따라서, 본 발명의 경우 자동적으로 주파수를 선보정할 수 있기 때문에 전체 PLL의 구현을 단순화시키고 정확한 보정을 할 수 있다.

【발명의 효과】

<64> 이상에서 살펴본 바와 같이, 본 발명에 따른 프리스케일러를 포함하는 PLL은 PLL의 내부에 사용하는 제어 비트 CB를 이용하여 자동적으로 주파수를 선보정할 수 있기 때문에 별도의 주파수 보정 신호가 필요하지 않고, 전압 제어 발진기(33)를 내장할 경우, PLL 전체 회로를 단일 칩으로 구성할 수 있는 효과가 있다.

<65> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능

할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

외부로부터 입력된 클럭 신호와 내부 클럭 신호의 주파수를 주기적으로 비교하여 두 신호의 위상차에 따른 출력신호를 출력하는 위상 검출수단;

상기 위상 검출 수단의 출력신호에 따라 일정 전압을 출력하는 루프 필터;

상기 일정 전압에 비례하는 주파수를 갖는 상기 내부 클럭 신호를 출력하는 전압 제어 발진 수단을 포함하는 위상 제어 루프 회로에 있어서,

상기 전압 제어 발진 수단은, 커패시턴스 값을 조절할 수 있는 캡슐을 포함하여, 상기 내부 클럭 신호의 주파수를 내부 설정값을 이용하여 설정할 수 있는 것을 특징으로 하는 위상 제어 루프 회로.

【청구항 2】

제 1 항에 있어서,

상기 캡슐은, 상기 전압 제어 발진 수단의 출력 단자에 병렬로 연결된 복수개의 제 1 커패시터를 포함하는 것을 특징으로 하는 위상 제어 루프 회로.

【청구항 3】

제 2 항에 있어서,

상기 캡슐은, 상기 출력 단자와 상기 복수개의 제1 커패시터 사이에 각각 연결되고, 복수의 제어 신호에 따라 제어되는 복수의 제1 스위치를 포함하는 것을 특징으로 하는 위상 제어 루프 회로.

【청구항 4】

제 2 항에 있어서,

상기 캡슐은, 상기 전압 제어 발진 수단의 출력단자와 직렬로 연결된 복수개의 제2 커패시터를 포함하는 것을 특징으로 하는 위상 제어 루프 회로.

【청구항 5】

제 4 항에 있어서,

상기 캡슐은, 상기 복수개의 제2 커패시터와 출력단자 사이에 연결되고, 상기 제어 비트에 따라 제어되는 복수의 제2 스위치를 포함하는 것을 특징으로 하는 위상 제어 루프 회로.

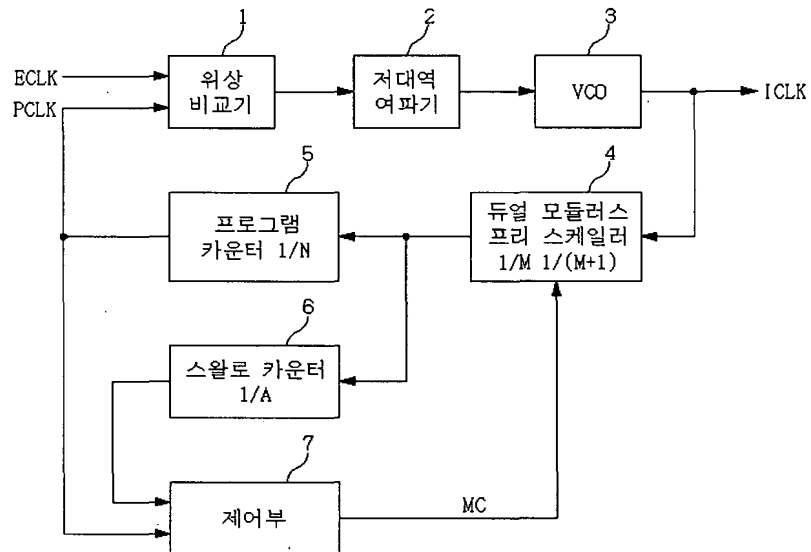
【청구항 6】

제 5 항에 있어서,

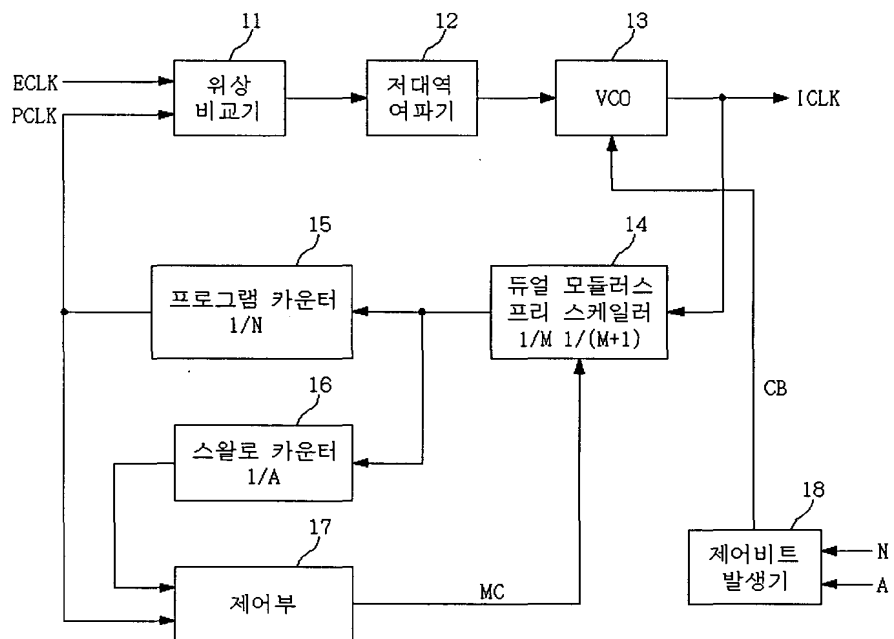
상기 캡슐은, 상기 복수의 제2 스위치는 상기 복수개의 제2 커패시터와 출력단자 사이에 병렬로 연결되는 것을 특징으로 하는 위상 제어 루프 회로.

【도면】

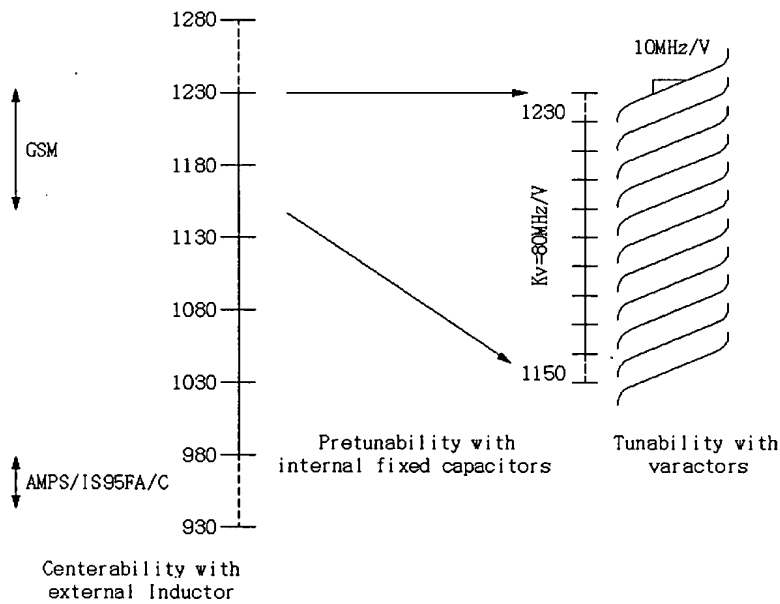
【도 1】



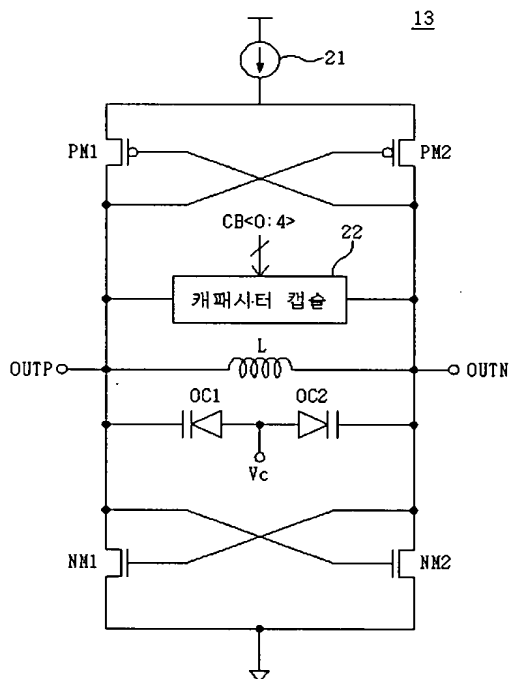
【도 2】



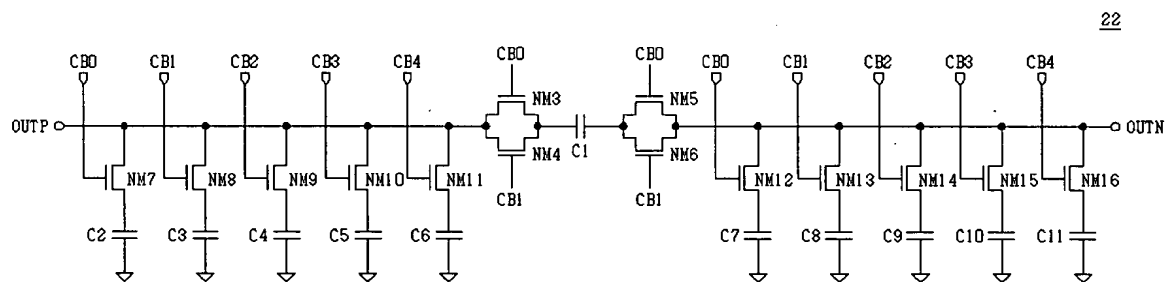
【도 3】



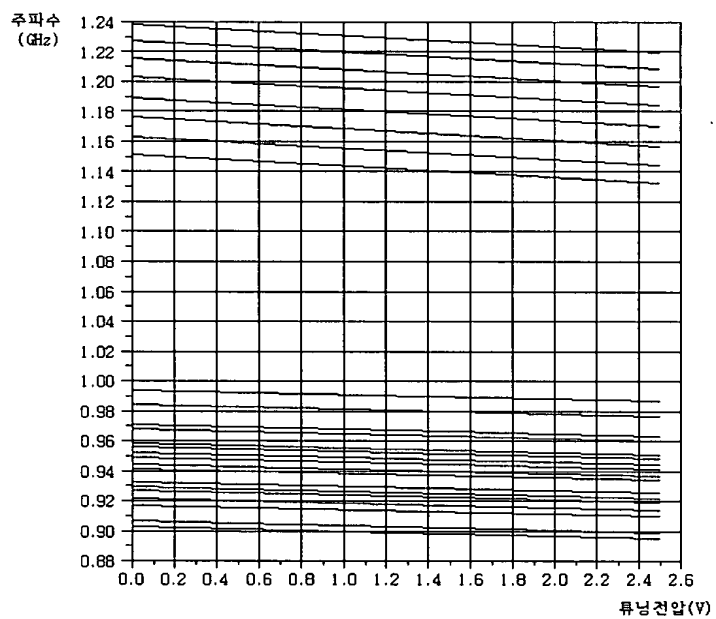
【도 4】



【도 5】



【도 6】



【도 7】

